

JAPANESE [JP,2001-102576,A]

CLAIMS DETAILED DESCRIPTION TECHNICAL FIELD PRIOR ART EFFECT OF THE INVENTION
TECHNICAL PROBLEM MEANS DESCRIPTION OF DRAWINGS DRAWINGS

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] A semiconductor device characterized by preparing a semiconductor layer of a pattern of six square shapes, and making mutually the crystal face of a side wall of said semiconductor layer into an equivalence side.

[Claim 2] A semiconductor device characterized by preparing said semiconductor layer divided by pattern of six square shapes, and making mutually the crystal face of a side wall of said divided semiconductor layer into an equivalence side with a trench formed in one principal plane of a semiconductor layer.

[Claim 3] A semiconductor device which prepares said semiconductor layer divided by pattern of six square shapes with a trench formed in one principal plane of a semiconductor layer, makes an equivalence side mutually the crystal face of a side wall of said divided semiconductor layer, and is characterized by preparing an insulator layer in a side wall of said semiconductor layer.

[Claim 4] With a trench formed in one principal plane of a semiconductor layer, said semiconductor layer divided by pattern of six square shapes is prepared. Make mutually the crystal face of a side wall of said divided semiconductor layer into an equivalence side, and an insulator layer is prepared in a side wall of said semiconductor layer. A semiconductor device characterized by having prepared a control electrode which consists of an electrical conducting material in said trench, and constituting an insulated-gate mold semiconductor device from a side wall of said control electrode and said insulator layer, and said divided semiconductor layer.

[Claim 5] An insulator layer which prepared said semiconductor layer divided by pattern of six square shapes made an equivalence side mutually the crystal face of a side wall of said divided semiconductor layer, and was formed in a side wall of said semiconductor layer with a trench formed in one principal plane of a semiconductor layer. A gate electrode which was laid underground in said trench and which consists of an electrical conducting material, and a source field formed in one principal plane of said semiconductor layer. A semiconductor device characterized by constituting an insulated-gate mold semiconductor device from a drain field established in a field of the opposite side, and said gate electrode and said insulator layer, and a channel field established in a side wall of said semiconductor layer with one principal plane of said semiconductor layer.

[Claim 6] A semiconductor layer of one conductivity type used as a drain, and a channel field of a reverse conductivity type formed in the surface of said semiconductor layer. A source field and said channel field of a reverse conductivity type formed in the surface of said channel field are penetrated. A trench which forms said semiconductor layer divided by pattern of six square shapes is prepared. Make mutually the crystal face of a side wall of said divided semiconductor layer into an equivalence side, and an insulator layer is formed in a side wall of said semiconductor layer. A semiconductor device characterized by having formed a gate electrode which consists of an electrical conducting material in said trench, and constituting an insulated-gate mold semiconductor device from said gate electrode and said insulator layer, and said channel field.

[Claim 7] The 1st semiconductor layer of one conductivity type, and the 2nd semiconductor layer of a reverse conductivity type formed on said 1st semiconductor layer. A channel field of one conductivity type formed in the surface of the 3rd semiconductor layer of a reverse conductivity type formed on said 2nd semiconductor layer, and said 3rd semiconductor layer. A source field and said channel field of a reverse conductivity type formed in the surface of said channel field are penetrated. A trench which forms said semiconductor layer divided by pattern of six square shapes is prepared. Make mutually the crystal face of a side wall of said divided semiconductor layer into an equivalence side, and an insulator layer is formed in a side wall of said semiconductor layer. A semiconductor device characterized by having formed a gate electrode which consists of an electrical conducting material in said trench, and constituting an insulated-gate mold semiconductor device from said gate electrode and said insulator layer, and said channel field.

[Claim 8] A semiconductor device given in either of claims 1, 2, 3, 4, 5, 6, and 7 which is characterized by the crystal face of one principal plane of said semiconductor layer being a field (111) or a field of the near.

[Claim 9] A semiconductor device given in either of claims 1, 2, 3, 4, 5, 6, 7, and 8 characterized by the crystal face of said side wall being a field (110) or a field of the near.

[Claim 10] A semiconductor device given in either of claims 1, 2, 3, 4, 5, 6, 7, 8, and 9 characterized by having carried out fixed gap alienation and having arranged many patterns or said semiconductor layers which were divided of said six square shapes.

[Claim 11] A semiconductor device given in either of claims 3, 4, 5, 6, and 7 characterized by said insulator layer being a film which contains silicon oxide at least.

[Claim 12] A semiconductor device given in either of claims 3, 4, 5, 6, 7, and 11 to which thickness of an insulator layer formed in 6 side walls of said semiconductor layer is characterized by substantially uniform thing.

[Claim 13] A semiconductor device given in either of claims 4, 5, 6, and 7 characterized by each threshold in each side wall of an insulated-gate mold semiconductor device formed in 6 side walls of said semiconductor layer being substantially equal.

[Claim 14] a swage block -- a semiconductor device characterized by preparing a semiconductor layer of a pattern of a ** and making mutually the crystal face of a side wall of said semiconductor layer into an equivalence side.

[Claim 15] A semiconductor device characterized by preparing said semiconductor layer which continues in the shape of [of a bee] a nest, and making mutually the crystal face of a side wall of said semiconductor layer into an equivalence side with a trench of six square shapes formed in one principal plane of a semiconductor layer.

[Claim 16] A semiconductor device which prepares said semiconductor layer which continues in the shape of [of a bee] a nest with a trench of six square shapes formed in one principal plane of a semiconductor layer, makes an equivalence side mutually the crystal face of a side wall of said semiconductor layer, and is characterized by preparing an insulator layer in a side wall of said semiconductor layer.

[Claim 17] A semiconductor device characterized by having prepared said semiconductor layer which continues in the shape of [of a bee] a nest, having made mutually the crystal face of a side wall of said semiconductor layer into an equivalence side, having prepared an insulator layer in a side wall of said semiconductor layer, having prepared a control electrode which consists of an electrical conducting material in said trench, and constituting an insulated-gate mold semiconductor device from a side wall of said control electrode and said insulator layer, and said semiconductor layer with a trench of six square shapes formed in one principal plane of a semiconductor layer.

[Claim 18] An insulator layer which prepared said semiconductor layer which continues in the shape of [of a bee] a nest, made an equivalence side mutually the crystal face of a side wall of said semiconductor layer, and was formed in a side wall of said semiconductor layer with a trench of six square shapes formed in one principal plane of a semiconductor layer, A gate electrode which was laid underground in said trench and which consists of an electrical conducting material, and a source field formed in one principal plane of said semiconductor layer, A semiconductor device characterized by constituting an insulated-gate mold element from a drain field established in a field of the opposite side, and said gate electrode and said insulator layer, and a channel field established in a side wall of said semiconductor layer with one principal plane of said semiconductor layer.

[Claim 19] With a trench of six square shapes which prepare a semiconductor layer of one conductivity type used as a drain, a channel field of a reverse conductivity type formed in the surface of said semiconductor layer, and a source field of a reverse conductivity type formed in the surface of said channel field, and penetrate said channel field Prepare said semiconductor layer which follows a ** and the crystal face of a side wall of said semiconductor layer is mutually made into an equivalence side. a swage block -- A semiconductor device characterized by constituting an insulated-gate mold semiconductor device from a channel field which formed an insulator layer in a side wall of said semiconductor layer, formed a gate electrode which consists of an electrical conducting material in said trench, and was established in a side wall of said gate electrode and said insulator layer, and said semiconductor layer.

[Claim 20] The 1st semiconductor layer of one conductivity type, and the 2nd semiconductor layer of a reverse conductivity type formed on said 1st semiconductor layer, A channel field of one conductivity type formed on the 3rd semiconductor layer of a reverse conductivity type formed on said 2nd semiconductor layer, and said 3rd semiconductor layer, With a trench of six square shapes which prepare a source field of a reverse conductivity type formed in the surface of said channel field, and penetrate said channel field Prepare said semiconductor layer which follows a ** and the crystal face of a side wall of said semiconductor layer is mutually made into an equivalence side. a swage block -- A semiconductor device characterized by constituting an insulated-gate mold semiconductor device from a channel field which formed an insulator layer in a side wall of said semiconductor layer, formed a gate electrode which consists of an electrical conducting material in said trench, and was established in a side wall of said gate electrode and said insulator layer, and said semiconductor layer.

[Claim 21] A semiconductor device given in either of claims 14, 15, 16, 17, 18, 19, and 20 characterized by the crystal face of one principal plane of said semiconductor layer being a field (111) or a field of the near.

[Claim 22] A semiconductor device given in either of claims 14, 15, 16, 17, 18, 19, 20, and 21 characterized by the crystal face of said side wall being a field (110) or a field of the near.

[Claim 23] A semiconductor device given in either of claims 16, 17, 18, 19, and 20 characterized by said insulator layer being a film which contains silicon oxide at least.

[Claim 24] Claims 16, 17, 18, 19, 20, and 23 to which thickness of an insulator layer formed in 6 side walls of said semiconductor layer is characterized by substantially uniform thing are not, but it is a semiconductor device given in **.

[Claim 25] A semiconductor device given in either of claims 16, 17, 18, 19, and 20 characterized by each threshold in each side wall of an insulated-gate mold semiconductor device formed in 6 side walls of said semiconductor layer being substantially equal.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] Especially this invention relates to the semiconductor device of the insulated-gate mold which has trench structure about a semiconductor device.

[0002]

[Description of the Prior Art] In the latest vertical mold MOSFET, since it is easy to acquire a low on resistance property structurally, the so-called trench mold of the structure which embedded the gate electrode at trench Mizouchi attracts attention. As for the vertical mold MOSFET which has such trench mold structure, the structure and the outline of a manufacturing process are indicated by JP,4-146674,A, JP,5-335582,A, etc.

[0003] An example of such structure of a vertical mold MOSFET is explained with reference to drawing 13. It is formed in the depth to which many trenches 13 reach the semiconductor substrate which has the P type channel field 12 on the surface, and has N type drain layer 11a and N+ mold drain layer 11b in the lower part across the P type channel field 12 at N type drain layer 11a. Gate oxide 14 is formed in the surface of the trench 13, and the gate electrode 15 with which the interior consists of polycrystalline silicon etc. is laid further underground. And the source field 16 of N+ is formed. An insulating layer 17 is arranged on the gate electrode 15, the metal electrodes 18, such as aluminum, are formed all over a cel field, and this insulating layer 17 is carrying out insulating separation of the gate electrode 15 and the metal electrode 18. And it is constituted so that a metal electrode 18 may carry out electrical connection to the source field 16 and the channel field 12.

[0004] In the vertical mold MOSFET of the starting structure, by giving the voltage beyond a predetermined threshold to the gate electrode 15, the inversion layer of N type is formed along with the trench in the channel field 12 of P type, and a current path is formed between the drain layers 11a and 11b of an N-type semiconductor substrate, and the source field 16 of N+ mold. Between the source drains of a vertical mold MOSFET will be in an ON state by this, by making voltage of the gate electrode 15 below into a threshold, the inversion layer of the N type of the channel field 12 will be lost, and between the source drains of a vertical mold MOSFET will be in an OFF state. According to the vertical mold MOSFET to apply, since there is no junction type FET effect peculiar to the vertical mold MOSFET of a planar mold, the advantage that the on resistance can be made small arises.

[0005] By the way, in silicon society, the semiconductor wafer 19 of field bearing (100) as shown in manufacture of a semiconductor device at drawing 14 is used abundantly. Since a field defines field bearing by the inverse number of the coordinate value which crossed the axis of coordinates, field bearing (100) of intersection y and the z-axis is infinite at a x-axis = (100) shaft and "1", crosses, namely, means the crystal face at which it does not cross. Therefore, the crystal face (100) is exposed to the surface, and this silicon wafer 19 forms many semiconductor chips 20 in a field (100). Usually, the crystal orientation of OF (orientation flat) is the <100> directions. It is arranged at equal intervals across the field where each has a rectangular configuration and a semiconductor chip 20 serves as a scribe line. Moreover, many semiconductor chips 20 are arranged so that said scribe line may become parallel to OF (refer to drawing).

[0006] Drawing 15 is the perspective diagram expanding and showing the condition when manufacturing the trench mold MOSFET to the semiconductor chip 20 of the above-mentioned (100) wafer 19.

[0007] The channel field 12 has the configuration of an abbreviation square, and is putting many channel fields 12 of this square in order at the fixed gap in all directions. The trench 13 of constant width encloses the perimeter of each channel field 12. That is, a trench 13 becomes grid-like. In each channel field 12, the source field 16 encloses the circumference portion of the channel field 12 annularly. Moreover, the source field 16 is exposed to the side wall of a trench 13. In addition, the field defined by the configuration of one channel field 12 is called a "unit cell." "The pattern configuration of a unit cell" means the configuration which the side wall of a trench 13 forms. Thus, when OF side is set to (100) with a wafer (100) and the configuration of a unit cell is made into a rectangle, as for four side walls surrounding the channel field 12, all serve as the crystal face (100). Moreover, the base of a trench 13 also turns into the crystal face (100). 11 is a semiconductor substrate.

[0008]

[Problem(s) to be Solved by the Invention] The on resistance R_{ds} of the 1st purpose vertical mold MOSFET (on) is in inverse proportion to the number of the cel per unit area. Therefore, it is a technical problem important when increasing the number of the cel which can be contained to per unit area reduces on resistance R_{ds} (on). However, there was a defect that there was a limit naturally with the process tolerance of a photoetching production process. Therefore, the 1st purpose of this invention is in the semiconductor

device which has a trench to increase the number of the unit cell which can be contained to per unit area by leaps and bounds.

[0009] In order to attain the 1st above-mentioned purpose, an invention-in-this-application person came to consider the pattern array as shown in drawing 16 (A). This makes the pattern configuration 21 of a unit cell six square shapes (preferably positive six square shapes), and arranges this pattern 21 at intervals of [a] a cel. The cel gap a is the distance from the point center of six square shapes to a point center, and Rhine to which from a point center to a point center is connected constitutes an equilateral triangle.

[0010] The pattern array of positive six square shapes enables cel arrangement of high density compared with the conventional pattern array shown in drawing 16 (B). The conventional pattern array is a pattern which made the pattern configuration 21 of a unit cell the square, and has arranged it at intervals of [a] a cel (cel pitch). Rhine to which from a point center to a point center is connected constitutes a square. In addition, gate length GW is equal to the circumference length (sum of the length of each side) of a pattern 21. If the cel pitch a is made the same and the area per unit cell (pattern 21) is measured simply, positive six square shapes will become one about 0.86 times the area of this to a square. Consequently, when the cel gap a is made the same, the number of cels per unit area can be increased by about 1.16 times.

[0011] If the trench 13 of the 2nd purpose, however six square shapes is formed in the semiconductor wafer 19 of field bearing (100), a crystallographic new trouble will arise. Since the silicon single crystal constitutes the cubic lattice crystallographically, the crystal face of the side wall of a trench 13 stops namely, agreeing in a field (100). In addition, the crystal face of the side wall of a trench 13 in which it is located each sides 21a-21f of the pattern 21 shown in drawing 16 (A) becomes uneven.

[0012] Since it depends for electric / electronic property on the surface of silicon on the crystal orientation remarkably, that the crystal face of the side wall of a trench 13 is mutually uneven means that the electrical characteristics of an MOSFET element become an ununiformity with each side wall. For the reason, the side wall with which drain current tends to flow, and the side wall which cannot flow easily will arise.

[0013] Furthermore, since a difference is in the growth rate of an oxide film by crystal orientation when gate oxide 14 is formed in the side wall of the trench slot 13 by thermal oxidation, the fault of becoming an ununiformity also produces the thickness of gate oxide 14. Consequently, as a difference arose in each side wall and the threshold V_t of MOSFET showed drawing 9, the gate voltage V_g -drain current I_d property got worse, and also there were a defect that switching time increases, and a defect referred to as becoming easy to generate destruction by current concentration.

[0014] Therefore, the 2nd purpose of this invention is in the insulated-gate mold semiconductor device in which the trench-13 of six square shapes was formed to cancel the crystallographic ununiformity in trench 13 side wall.

[0015]

[Means for Solving the Problem] This invention was made in view of the conventional defect mentioned above, and makes this pattern six square shapes in a semiconductor device which constituted a pattern from a trench in a semiconductor substrate.

[0016] Furthermore, by making a semiconductor substrate of field bearing (111) into a starting point, a pattern is constituted so that the electrical characteristics of a side wall of a trench may become equal mutually.

[0017]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained with reference to a drawing.

[0018] The semiconductor device of this invention makes it the 1st main point to have formed the pattern of abbreviation 6 square shape with the trench. Moreover, field bearing makes it the 2nd main point to use the semiconductor wafer of (111). First of all, the example of the pattern of crystal orientation and six square shapes is explained.

[0019] The 1st pattern: Drawing 1 is the (A) plan and the (B) perspective diagram showing the 1st example of the pattern 30 of six square shapes formed with the trench.

[0020] On the surface of the silicon semiconductor substrate 51, the pattern 30 of many same configurations and the same size is arranged in all directions. Angles theta are six square shapes which are ten 120-degree double signs respectively, and, as for a pattern 30, it is desirable that they are positive six square shapes whose theta is 120 degrees preferably. Two or more patterns 30 are arranged so that the distance a from the center of a pattern 30 to a center may become fixed mutually. Moreover, when patterns 30 are positive six square shapes, Rhine which connects a center and a center is arranged so that an equilateral triangle 31 may be constituted. Each side of six square shapes is parallel to the side of the six next square shapes, and the distance b is regularity altogether.

[0021] A trench 32 is formed in the surface of a substrate 51. A trench 32 is the slot perpendicularly investigated from the substrate 51 surface. width of face (distance b) with a fixed trench 32, and the fixed depth -- having -- the shape of a grid, and a swage block -- it is continuing in the configuration of a **. The side wall 33 of the semiconductor layer 34 is formed along the six sides of a pattern 30. The side wall 33 of a semiconductor layer is also a side wall of a trench 32. Each becomes independent in the shape of an island, and the each is surrounded for a pattern 30 by the trench 32 in the perimeter. Therefore, the configuration of a pattern 30 is formed of part 32a which the surface and the trench 32 of the semiconductor layer 34 intersect. These trenches 32 can be obtained by carrying out anisotropic etching of the silicon single crystal substrate 51 alternatively.

[0022] The 2nd pattern: Drawing 2 is the (A) plan for explaining the 2nd pattern, and the (B) perspective diagram. The 2nd pattern is different to a trench 32 surrounding [the 1st pattern] the perimeter of a

pattern 30 at the point which formed the trench 32 inside the pattern 30. It is dotted with a trench 32 in the shape of an island, and the semiconductor layer 34 of constant width and fixed height encloses the perimeter of each pattern 30. The depth of a trench 32 is fixed. Similarly the side wall 33 of the semiconductor layer 34 constitutes the pattern 30 of six square shapes. Since the configuration of a pattern 30, arrangement, gaps a and b, etc. are the same as the 1st pattern, explanation is omitted.

[0023] By these arrangement, the number of the pattern 30 which can be contained to per unit area can be increased sharply. Since it explained in drawing 16, the comparison with a square pattern and the pattern 30 of six square shapes is omitted.

[0024] Therefore, the element can be used as a high current element when a semiconductor device which passes channel current in accordance with the side wall 33 of the semiconductor layer 34 is formed.

[0025] In the 1st and the 2nd pattern which were explained above, a still more suitable semiconductor device can be obtained by choosing the crystal face of the side wall 33 of the semiconductor layer 34. That is, field bearing of a substrate 51 is set to (111) corresponding to the pattern 30 of six square shapes. In addition, field bearing (111) means an intersection and the crystal face which similarly crosses a z-axis= $\langle 001 \rangle$ shaft at 1 as a x-axis= $\langle 100 \rangle$ shaft by 1 an intersection, a y-axis= $\langle 010 \rangle$ shaft, and 1.

[0026] Drawing 3 is the plan which observed the cubic system three dimensional model of a silicon single crystal from the perpendicular direction to the field (111). A field (111) constitutes a horizontal plane, the six surrounding sides 35-40 constitute a perpendicular side wall to space, and others constitute the field which inclined to space from this condition. And each sides 35-40 should constitute positive six square shapes, and all the side walls exposed each sides 35-40 should note being an equivalence side (mirror side) to the crystal-face (110) side. For example, {110}, {101}, {011}, etc. are the crystal faces of equivalence to a field altogether (110). All of the electrical characteristics of **s, such as electronic mobility in the silicon surface interface state density, and a growth rate of silicon oxide, of the crystal face of equivalence are equal.

[0027] Drawing 4 is the perspective diagram showing a six[when forming six-sided prisms along each sides 35-40]-sided prism. the upper surface and the inferior surface of tongue of six-sided prisms -- or (111) it becomes the equivalence side and six perpendicular side walls corresponding to each sides 35-40 become an equivalence side [all (110)].

[0028] By using such a crystallographic property, it becomes possible to constitute mutually the crystal face of the side wall 33 of the semiconductor layer 34 from an equal field. For example, if it is made a gestalt which arranges the six-sided prisms shown in drawing 4 every pattern 30 in the example of drawing 1 (B), it is possible to expose a field (110) on each side wall 33 of the semiconductor layer 34. It is possible to expose a field (110) on each side wall 33 similarly in the example of drawing 2 (B).

[0029] In manufacture of an actual semiconductor device, the semiconductor wafer 41 of field bearing (111) shown in drawing 5 is used. A field (111) is exposed to the surface and this wafer 41 forms many semiconductor chips in this surface. Although the orientation flat OF considered as crystal orientation $\langle 110 \rangle$, it is good also in the other bearings. And a pattern 30 is formed by arrangement arrangement and each sides 35-40 of the pattern 30 of six square shapes cross at right angles to crystal orientation $\langle 110 \rangle$. It enables this to constitute six side walls 33 of the semiconductor layer 34 from the crystal face [all (110)] (mirror side). the time of forming an electron device which passes channel current on this side wall 33, since that the crystal face of a side wall 33 is mutually equal had the mobility of the electron in silicon, the same interface state density, etc. -- six side walls 33 -- all -- setting -- mutual -- etc. -- it means that it carries out, and it can be and channel current can be passed.

[0030] In addition, each sides 35-40 of a pattern 30 do not necessarily need to lie at right angles to the direction of a crystallographic axis $\langle 110 \rangle$. Like the sign 80 of drawing 5, even when it rotates in the range of 60 right and left centering on $\langle 111 \rangle$ shafts, the electric property of the crystal face of appearing along the sides 35-40 becomes equal mutually.

[0031] Moreover, the side wall 33 of a trench 32 may incline in the depth direction besides a perpendicular flat side, and may be bent. six side walls 41 are altogether processed [33] into the same configuration, i.e., six side walls, -- it is conditions to make all crystallographic electrical characteristics the same. Crystallographic electrical characteristics point out the electronic mobility in the silicon surface exposed to the side wall, interface state density, the growth rate of silicon oxide, etc. here. Furthermore, the base of a trench 32 is also a flat side, and also the curved field is sufficient.

[0032] The 3rd pattern: The 3rd pattern was shown in drawing 6. The gestalt which are six square shapes to which six square shapes of a pattern 30 lengthened distance of the distance x of a drawing longitudinal direction to the distance of the drawing lengthwise direction y instead of positive six square shapes is shown. In this case, the triangle 31 which connects the center and center of a pattern 30 turns into two equilateral triangles, and the distance c of the two sides is the equal distance. The triangular distance a is equal to the distance a of drawing 1. The side of a pattern 30 is parallel to the side of the next pattern 30, and the distance b is fixed. Also in this configuration, the electrical characteristics of all the 6th page can be made equal.

[0033] Hereafter, the insulated-gate mold semiconductor device using the pattern mentioned above is explained.

[0034] The gestalt of the 1st operation: Drawing 7 is the (A) plan and the (B) cross section showing the power-metal-oxide-semiconductor-field-effect-transistor element using the 1st pattern of drawing 1. There are not the thing conventional with cross-section structure and a fundamental change. The fundamental pattern array uses what was shown in drawing 1.

[0035] That is, it is formed in the P type channel field 52 and the depth which a trench 32 reaches across the P type channel field 52 at N type drain layer 51a at the 1 principal-plane side of the silicon

semiconductor substrate 51 which has N type drain layer 51a and N+ mold drain layer 51b. Gate oxide 54 is formed in the surface of the trench 32 of thermal oxidation, and the gate electrode 55 with which the interior consists of polycrystalline silicon etc. is laid further underground. And the source field 56 of N+ mold is established in the surface of the semiconductor layer divided with the trench 32. The source field 56 encloses the inside of the perimeter edge of the channel field 52 by fixed width of face. The contact field 57 of P+ mold is formed in the surface of the channel field 52 surrounded in the source field 56.

[0036] On the gate electrode 55, the insulating layer 58 by a CVD method etc. is formed. A periphery (equal to source field 56 periphery), 33 [52], i.e., the channel field, of a trench 32, defines a unit cell, and calls a cell the field which has arranged many unit cells. At this time, a unit cell is equal to the configuration of a pattern 30 and arrangement which were shown in drawing 1. That is, each unit cell has the configuration of six square shapes by plane view, and a trench 32 encloses the perimeter. A trench 32 has fixed width of face and the fixed depth, and continues. Moreover, two or more unit cells are arranged so that the cell pitch from the center to a center may become equal. These trenches 32 and patterns 30 are arranged at a honeycomb configuration like a "swage block" as a whole.

[0037] And the metal electrodes 59, such as aluminum, are formed all over a cell field, and this insulating layer 58 is carrying out insulating separation of the gate electrode 55 and the metal electrode 59. And it is constituted so that electrical connection may be carried out to the channel field 52 through the contact field 57, at the same time a metal electrode 59 carries out electrical connection to the source field 56. The gate electrode 55 laid under the trench 32 interior is continuously connected to the electrode pad which can impress gate potential from the exterior in the part which is not illustrated along the slot of a trench 32. A drain electrode (not shown) is formed in the rear-face side of N+ mold drain layer 51b. Moreover, the metal electrode 59 touches both the source field 56 and the contact field 57 through the contact hole 60 formed in the insulator layer 58. Thus, when a metal electrode 59 carries out parallel connection of each unit cell, the element for power is constituted as a whole.

[0038] By adding electric field to the gate electrode 55, this trench mold MOSFET forms the inversion layer of N type along with the trench 32 in the channel field 52 of P type, and forms a current path between the drain layers 51a and 51b of the N-type semiconductor substrate 51, and the source field 56 of N+ mold. This current path is formed in all six fields.

[0039] By having arranged the cell of six square shapes to Mr. **, the cell density per unit area can be improved sharply. Since the synthetic length of gate width GW also increases sharply in connection with this the current capacity per unit area can be increased. Specifically, it became possible to integrate tens of thousands of - hundreds of thousands of unit cells to the same chip size (for example, 1.0mmx1.0mm) as the former.

[0040] In addition, mobility of the electron in the channel field 32 is made to homogeneity by what (for example, a field (110) or the field of the near) the crystal face of a side wall 33 is chosen for so that it may become equivalent mutually. This means that the value of the current which flows to the channel field 32 can be equalized in all the six crystal faces. Therefore, it is high power and the small MOSFET equipment of on resistance Rds (on) can be obtained.

[0041] Furthermore, the number of the contact hole 60 arranged for every unit cell can be increased by increasing the number of the unit cell which can be contained to per unit area. Therefore, the contact area of a metal electrode 59 and the source field 56 can be increased, and the contact resistance can be reduced. This induces the effect of reducing on resistance Rds (on) further.

[0042] Such equipment can be manufactured by the following manufacture methods.

[0043] 1st production process: -- drawing 8 (A) -- the silicon semiconductor substrate 51 which has N layer 51a used as a drain layer is prepared first 3 **. All over the cell field portion of N layer 51a, the diffusion layer of the P type used as the channel field 52 is formed by the ion implantation of boron.

[0044] The 2nd production process: Form a trench 32 by etching the semiconductor substrate 51 by Fukashi who penetrates the channel field 52 to drawing 8 (B) 3 Teruji, and reaches drain layer 51a. This prepares a opening in the oxide film formed all over said cell field according to the production process of photolithography, and a trench 32 is formed by carrying out vapor etching of an anisotropy from the opening.

[0045] And an oxide-film layer is formed in the trench 32 interior by dummy oxidation, and the defective layer of the silicon layer surface accompanying trench 32 formation is removed by removing the oxide-film layer. Gate oxide 54 is formed in the interior of a trench 32 by performing gate oxidation after that.

[0046] The 3rd production process: Embed the interior of a trench 32 with polycrystalline silicon by putting refer to drawing 8 (C), next a polycrystalline silicon film on the whole surface by CVD. And Lynn or boron is doped on a polycrystalline silicon film, and a polycrystalline silicon film is conductive-layer-ized. Next, etchback of the polycrystalline silicon is carried out, for example by isotropic vapor etching. And by suspending etching of polycrystalline silicon in the phase which the oxide-film 54 surface on the channel field 52 exposed, the gate electrode 55 embedded in the trench 32 is formed.

[0047] The 4th production process: Form refer to drawing 8 (D), next the contact field 57 of P+ mold. This is formed by forming the opening of a resist mask in the portion used as the contact field 57 according to the production process of photolithography, for example, carrying out the ion implantation of the boron. Next, the source field 56 of N+ mold is formed by forming the opening of a resist mask in the portion which serves as a source field according to the production process of photolithography again, for example, carrying out the ion implantation of the arsenic (As). Since this source field 56 is formed of an ion implantation by using as a mask the upper limit section of the gate electrode 55 embedded at the trench 32, a diffusion layer is formed by the self aryne to a gate electrode. Thereby, variation in properties, such as threshold voltage, can be lessened. Next, insulator layers, such as NSG/BPSG, are put all over substrate 51, a opening is prepared by

etching the insulator layer so that the source field and contact field of the substrate 51 surface may be exposed according to the production process of photolithography, and an insulating layer 58 is formed. [0048] And a metallic material is put all over a substrate 51 by carrying out sputtering of the metallic materials, such as aluminum, and the source electrode 59 is formed all over a cel field portion by photoetching and carrying out an alloy. Furthermore, the vertical mold MOSFET of a wafer phase is completed by putting a passivation film all over a chip, and forming a lining electrode (drain electrode) in the rear face of the semiconductor substrate 51 (refer to drawing 7 (B)). In addition, after forming the channel field 52 and the source field 56, the sequence which forms a trench 32 is sufficient.

[0049] In the above manufacture method, formation of gate oxide 54 is based on thermal oxidation of silicon. When the side wall 33 of a trench 32 is constituted from the crystal face or the crystal face of that near altogether (110) at this time, the growth rate of gate oxide 54 becomes equal in all the fields whose number is six, and can form the gate oxide 54 of the uniform thickness t_1 in all the 6th page. This means that the threshold V_t in the channel field 52 can be equalized in six fields. Therefore, according to that electronic mobility is uniform and a threshold being equal, since a difference does not arise in a current value between each side wall 33, high power can be obtained, and also as shown in drawing 9, the effect that the standup property of the threshold V_t of an MOSFET element is improvable is produced.

[0050] Furthermore, when the base of a trench 32 is constituted from a field (111), the effect like a less or equal is induced. This originates in the growth rate of a thermal oxidation film when forming gate oxide 54 being greatly dependent on the crystal face.

[0051] For example, it is as follows when the growth rate of the thermal oxidation film of each crystal face is compared on condition that 1000 degrees C and dry oxidation.

(111)>(110)>(311)>(511)>(100)

That is, as compared with a field (110), the growth rate of a field (111) is somewhat quick. Therefore, as formation conditions for gate oxide, it is performing heat treatment of 1000 degrees C or more preferably, and 900 degrees C or more of oxide-film thickness t_2 (drawing 7 (B)) in trench 32 base can be thickly formed about 10% rather than the oxide-film thickness t_1 (refer to drawing 7 (B)) of the side wall 33 in a trench 32. For example, when thickness of the oxide-film thickness t_2 of a side wall 33 is made into 500A, the oxide-film thickness t_2 at the bottom can be formed in about 550A. An ambient atmosphere does not ask an oxidizing quality and a non-oxidizing quality.

[0052] Thus, the capacity C_{gd} between the gate and a drain can be reduced by thickening the oxide-film thickness t_2 54 of trench 32 base, i.e., the gate oxide of the part where the gate electrode 55 and N layer 51a have countered, and also resisting-pressure V_{gd} between the gate drains determined by this thickness t_2 can be enlarged. Making thin the gate oxide 54 of the part where the oxide-film thickness t_1 55, i.e., a gate electrode, and the channel field 52 have countered on the other hand means increasing the current drive capacity of an MOSFET element. Therefore, it can be satisfied with coincidence of these conflicting requirements.

[0053] in addition, ** -- the configuration where the radius of circle wore the portion of the shoulder of a trench 32 (drawing 8 B sign 100), i.e., the configuration of the part adjacent to the source field 56, is processible by adding high temperature processing [like]. Therefore, the covering nature of oxide films 54 and 58, or the gate electrode 55 and an oxide film 58 improves. In addition, even when it replaces with silicon oxide and the silicon nitride SiN is used; the difference of thickness can be acquired similarly.

[0054] The gestalt of the 2nd operation: Drawing 10 is the (A) plan and the (B) cross section showing the power-metal-oxide-semiconductor-field-effect-transistor element using the 2nd pattern arrangement of drawing 2. It is the example which formed the gate electrode 55 inside the pattern 30 of six square shapes. The manufacture method is the same as that of drawing 8.

[0055] That is, it is formed in the depth to which many trenches 32 reach the silicon semiconductor substrate 51 which has the P type channel field 52 on the surface, and has N type drain layer 51a and N+ mold drain layer 51b in the lower part across the P type channel field 52 at N type drain layer 51a. Gate oxide 54 is formed in the surface of the trench 32 of thermal oxidation, and the gate electrode 55 with which the interior consists of polycrystalline silicon etc. is laid further underground. And the source field 56 of N+ mold is established in the surface of the semiconductor layer divided with the trench 32. The source field 56 encloses the gate electrode 55 near the perimeter of the channel field 52. The contact field 57 of P+ mold is formed in the surface of the channel field 52 surrounded in the source field 56.

[0056] On the gate electrode 55, the insulating layer 58 by a CVD method etc. is formed. The side wall 33 (equal to source field 56 inner circumference) of each gate electrode 55 circumference defines a unit cell, and calls a cel field the field which has arranged many unit cells. A unit cell is equal to the configuration of a pattern 32, and arrangement. Moreover, the side wall 33 of the channel field 52 consists of the equivalent crystal faces mutually so that it may be represented with a field (110). The channel field 52 continues in the shape of [of a bee] a nest.

[0057] The contact hole 60 which exposes P+ contact field 57 and N+ source field 56 is established in an insulating layer 58. The metal electrodes 59, such as aluminum, are formed in the surface of a cel field, and it connects with the source field 56 and the contact field 57 through a contact hole 60.

[0058] The interior of a trench 32 is dotted with the gate electrode 55, and parallel connection is carried out with the aluminum electrode which is not illustrated. Each gate electrode 55 is surrounded in the channel field 52, and the channel field 52 continues. The source field 56 which encloses the gate electrode 55 respectively is formed in the surface of the channel field 52. In addition, a configuration which P+ contact field 57 exposes to the part of a contact hole 60 partially may be used.

[0059] The gestalt of the 3rd operation: This invention which lays a gate electrode underground in a trench

32 is applicable also like - (Insulate Gate Bipolar Transistor), for example, IGBT, which is not what is limited to a vertical mold MOSFET.

[0060] Drawing 11 shows the example which applied this invention to IGBT equipment. a pattern 32 -- drawing 1 and drawing 2 -- it is applicable in both of the examples. Form the N+ layer 71 and the N type layer 72 on the P type substrate 70, and the P type channel field 73 is formed in the N type layer 72 surface. The trench 74 which reaches the N type layer 72 from the surface of the channel field 73 is formed. Form gate oxide 75 and the gate electrode 76 in the trench 74 interior, and annular N+ source field 77 is formed in the channel field 73 surface. Furthermore, P+ contact field 78 is formed in the channel field 73 surface, and the metal electrodes 79, such as aluminum, are contacting the source field and P+ contact field electrically.

[0061] This element is constituted so that it may supply as base current of the PNP transistor which forms this channel current with the P type channel field 73, the N/N+ layers 71 and 72, and the P+ substrate 70, while forming a channel in the channel field 73 of trench slot 74 wall and passing channel current from the source field 77 to the N type layer 72 with the voltage impressed to the gate electrode 76. Since conductivity modulation arises in said PNP transistor, this IGBT can reduce on resistance rather than an MOSFET element. The relation of the crystal face is equal to the gestalt of the 1st and the 2nd operation.

[0062] The gestalt of the 4th operation: Drawing 12 shows trench mold MOSFET equipment when the configuration of the side wall 33 of a trench 32 is curving. The trench 32 and the pattern use the pattern array of drawing 1 (A). The side wall 33 of trench 32 flank is curving in the V character mold. In this case, although a field is not exposed to a side wall 33 (110), all 6 angle side walls serve as the equal crystal face mutually. Since other parts are the same as that of the configuration of drawing 7, explanation is omitted.

[0063] In addition, in the gestalt of each operation mentioned above, some six angles of a pattern 30 may be roundish. furthermore -- and also field bearing of the wafer 41 (drawing 5) surface has gone direct with the field correctly (111) -- <111> crystallographics axis -- receiving -- the crystal face -- abundance -- you may incline at the angle of less than 5 times preferably. A main point is equalizing the electrical property of the side walls 33 of all the 6th page.

[0064] furthermore, the semiconductor device which controls channel current by gate potentials, such as for example, an electrostatic-induction thyristor (SIT), a gate turn-off thyristor (GTO), and an MOS control thyristor (MCT), comes out not to mention the ability to consider the gestalt of the operation which versatility deformed, without deviating from the meaning of this invention. Moreover, it is [0065] needless to say that any of the 1st - the 3rd pattern, and the gestalt of the 1st - the 4th operation may be combined. [Effect of the Invention]-As explained above, this invention can increase sharply the number of the unit cell which can be contained to per unit area by forming the pattern 30 of abbreviation 6 square shape with the side wall 33 of the semiconductor layer divided with a trench 32. Thereby, formation of high current capacity of the insulated-gate mold semiconductor device of a trench mold and reduction-ization of on resistance can be attained.

[0066] In addition, since the touch area of a metal electrode 59 and the source field 56 can be increased to coincidence by increasing the number of the number of unit cells, both contact resistance is reduced and it can contribute to reduction-ization of on resistance.

[0067] Furthermore, the electric crystallographic property of each side wall 33 of a trench 32 can be equalized by using a field bearing (111) substrate. The most typical example is the gestalt which a field (110) exposes to each side wall 33. since the current looked like [each side wall 33] can be equalized by this, the resisting pressure deterioration by local current concentration can be prevented.

[0068] Furthermore, since it can form so that the gate oxidation thickness t2 of trench 32 base may become size depending on selection and heat treatment of field bearing, the gate oxidation thickness t1 is reduced and the drive capacity of an MOSFET element can be increased further.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] They are the (A) plan for explaining the 1st pattern, and the (B) cross section.

[Drawing 2] They are the (A) plan for explaining the 2nd pattern, and the (B) cross section.

[Drawing 3] It is a plan for explaining this invention.

[Drawing 4] It is a perspective diagram for explaining this invention.

[Drawing 5] It is a plan for explaining this invention.

[Drawing 6] It is a plan for explaining the 3rd pattern.

[Drawing 7] They are the (A) plan for explaining the gestalt of operation of the 1st of this invention, and the (B) cross section.

[Drawing 8] It is a cross section for explaining the manufacture method.

[Drawing 9] It is property drawing for explaining this invention.

[Drawing 10] They are the (A) plan for explaining the gestalt of operation of the 2nd of this invention, and the (B) cross section.

[Drawing 11] It is a cross section for explaining the gestalt of operation of the 3rd of this invention.

[Drawing 12] It is a cross section for explaining the gestalt of operation of the 4th of this invention.

[Drawing 13] It is the cross section showing trench mold MOSFET equipment.

[Drawing 14] It is the plan showing the conventional wafer (100).

[Drawing 15] It is a perspective diagram for explaining the conventional example.

[Drawing 16] It is drawing showing the pattern of a unit cell.

[Description of Notations]

30 Pattern

32 Trench

33 Side Wall

54 Gate Oxide

55 Gate Electrode

56 Source Field

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2001-102576
(P2001-102576A)

(43)公開日 平成13年4月13日(2001.4.13)

| (51)Int.Cl. ⁷ | 識別記号 | F I | ターミナル*(参考) | |
|-------------------------------|-------|---------------|------------|-----------|
| H 0 1 L | 29/78 | H 0 1 L 29/78 | 6 5 2 T | 5 F 1 0 2 |
| | 29/80 | | 6 5 2 F | |
| | | | 6 5 3 A | |
| | | | 6 5 5 G | |
| | | 29/80 | V | |
| 審査請求 未請求 請求項の数25 O L (全 13 頁) | | | | |

(21)出願番号 特願平11-277081

(22)出願日 平成11年9月29日(1999.9.29)

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 久保 博稔

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72)発明者 重田 典博

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(74)代理人 100111383

弁理士 芝野 正雅

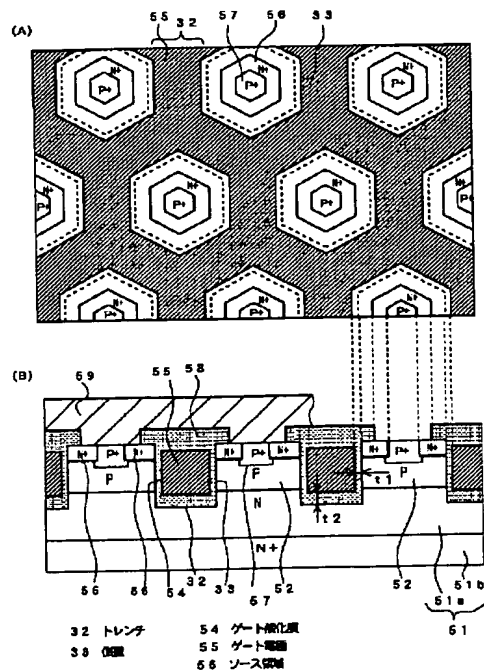
最終頁に続く

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 単位面積あたり高密度にセルを集積化できると共に、チャネルとして活性な部分の電気的特性も均一化できる、絶縁ゲート型の半導体装置を提供する。

【解決手段】 面方位(111)の半導体ウェハを準備する。その表面にトレンチ32を形成する。該トレンチ32によって区画される半導体層の側壁33は上方から見て六角形のパターン30を構成する。該トレンチ32内にゲート電極を形成し、該パターン30を単位セルとしてMOSFET素子を構成する。トレンチ32横の側壁33は、6つの面において互いに等価となるようにその結晶面が選択されている。代表的な例では(110)面あるいはその近傍の結晶面である。



【特許請求の範囲】

【請求項 1】 六角形のパターンの半導体層を設け、前記半導体層の側壁の結晶面を互いに等価面とすることを特徴とする半導体装置。

【請求項 2】 半導体層の一主面に形成したトレンチにより、六角形のパターンに区画された前記半導体層を設け、前記区画された半導体層の側壁の結晶面を互いに等価面とすることを特徴とする半導体装置。

【請求項 3】 半導体層の一主面に形成したトレンチにより、六角形のパターンに区画された前記半導体層を設け、前記区画された半導体層の側壁の結晶面を互いに等価面とし、前記半導体層の側壁に絶縁膜を設けたことを特徴とする半導体装置。

【請求項 4】 半導体層の一主面に形成したトレンチにより、六角形のパターンに区画された前記半導体層を設け、前記区画された半導体層の側壁の結晶面を互いに等価面とし、前記半導体層の側壁に絶縁膜を設け、前記トレンチ内に導電材料からなる制御電極を設け、前記制御電極と前記絶縁膜及び前記区画された半導体層の側壁とで絶縁ゲート型半導体素子を構成したことを特徴とする半導体装置。

【請求項 5】 半導体層の一主面に形成したトレンチにより、六角形のパターンに区画された前記半導体層を設け、前記区画された半導体層の側壁の結晶面を互いに等価面とし、前記半導体層の側壁に形成した絶縁膜と、前記トレンチ内に埋設された、導電材料からなるゲート電極と、前記半導体層の一主面に形成したソース領域と、前記半導体層の一主面とは反対側の面に設けたドレイン領域と、前記ゲート電極と前記絶縁膜、及び前記半導体層の側壁に設けたチャンネル領域とで絶縁ゲート型半導体素子を構成したことを特徴とする半導体装置。

【請求項 6】 ドレインとなる一導電型の半導体層と、前記半導体層の表面に形成した逆導電型のチャンネル領域と、前記チャンネル領域の表面に形成した逆導電型のソース領域と、前記チャンネル領域を貫通し、六角形のパターンに区画された前記半導体層を形成するトレンチとを設け、前記区画された半導体層の側壁の結晶面を互いに等価面とし、前記半導体層の側壁に絶縁膜を形成し、前記トレンチ内に導電材料からなるゲート電極を形成し、前記ゲート電極と前記絶縁膜、及び前記チャンネル領域とで絶縁ゲート型半導体素子を構成したことを特徴とする半導体装置。

【請求項 7】 一導電型の第 1 の半導体層と、前記第 1

の半導体層の上に形成した逆導電型の第 2 の半導体層と、前記第 2 の半導体層の上に形成した逆導電型の第 3 の半導体層と、前記第 3 の半導体層の表面に形成した一導電型のチャンネル領域と、前記チャンネル領域の表面に形成した逆導電型のソース領域と、前記チャンネル領域を貫通し、六角形のパターンに区画された前記半導体層を形成するトレンチとを設け、前記区画された半導体層の側壁の結晶面を互いに等価面とし、

10 前記半導体層の側壁に絶縁膜を形成し、前記トレンチ内に導電材料からなるゲート電極を形成し、前記ゲート電極と前記絶縁膜、及び前記チャンネル領域とで絶縁ゲート型半導体素子を構成したことを特徴とする半導体装置。

【請求項 8】 前記半導体層の一主面の結晶面が〈111〉面若しくはその近傍の面であることを特徴とする、請求項 1、2、3、4、5、6、7 のいずれかに記載の半導体装置。

20 【請求項 9】 前記側壁の結晶面が〈110〉面若しくはその近傍の面であることを特徴とする請求項 1、2、3、4、5、6、7、8 のいずれかに記載の半導体装置。

【請求項 10】 前記六角形のパターン又は前記区画された半導体層を一定間隔離間して多数個配置したことを特徴とする請求項 1、2、3、4、5、6、7、8、9 のいずれかに記載の半導体装置。

【請求項 11】 前記絶縁膜が、少なくともシリコン酸化膜を含む膜であることを特徴とする請求項 3、4、5、6、7 のいずれかに記載の半導体装置。

30 【請求項 12】 前記半導体層の 6 つ側壁に形成された絶縁膜の膜厚が、実質的に均一であることを特徴とする請求項 3、4、5、6、7、11 のいずれかに記載の半導体装置。

【請求項 13】 前記半導体層の 6 つ側壁に形成された絶縁ゲート型半導体素子の、各側壁における各々のしきい値が実質的に均等であることを特徴とする請求項 4、5、6、7 のいずれかに記載の半導体装置。

【請求項 14】 蜂の巣状のパターンの半導体層を設け、前記半導体層の側壁の結晶面を互いに等価面とすることを特徴とする半導体装置。

【請求項 15】 半導体層の一主面に形成した六角形のトレンチにより、蜂の巣状に連続する前記半導体層を設け、前記半導体層の側壁の結晶面を互いに等価面とすることを特徴とする半導体装置。

【請求項 16】 半導体層の一主面に形成した六角形のトレンチにより、蜂の巣状に連続する前記半導体層を設け、前記半導体層の側壁の結晶面を互いに等価面とし、前記半導体層の側壁に絶縁膜を設けたことを特徴とする半導体装置。

【請求項17】 半導体層の一主面に形成した六角形のトレンチにより、蜂の巣状に連続する前記半導体層を設け、前記半導体層の側壁の結晶面を互いに等価面とし、前記半導体層の側壁に絶縁膜を設け、前記トレンチ内に導電材料からなる制御電極を設け、前記制御電極と前記絶縁膜及び前記半導体層の側壁とで絶縁ゲート型半導体素子を構成したことを特徴とする半導体装置。

【請求項18】 半導体層の一主面に形成した六角形のトレンチにより、蜂の巣状に連続する前記半導体層を設け、前記半導体層の側壁の結晶面を互いに等価面とし、前記半導体層の側壁に形成した絶縁膜と、前記トレンチ内に埋設された、導電材料からなるゲート電極と、前記半導体層の一主面に形成したソース領域と、前記半導体層の一主面とは反対側の面に設けたドレイン領域と、前記ゲート電極と前記絶縁膜、及び前記半導体層の側壁に設けたチャンネル領域とで絶縁ゲート型素子を構成したことを特徴とする半導体装置。

【請求項19】 ドレインとなる一導電型の半導体層と、前記半導体層の表面に形成した逆導電型のチャンネル領域と、前記チャンネル領域の表面に形成した逆導電型のソース領域とを設け、前記チャンネル領域を貫通する六角形のトレンチにより、蜂の巣状に連続する前記半導体層を設け、前記半導体層の側壁の結晶面を互いに等価面とし、前記半導体層の側壁に絶縁膜を形成し、前記トレンチ内に導電材料からなるゲート電極を形成し、前記ゲート電極と前記絶縁膜、及び前記半導体層の側壁に設けたチャンネル領域とで絶縁ゲート型半導体素子を構成したことを特徴とする半導体装置。

【請求項20】 一導電型の第1の半導体層と、前記第1の半導体層の上に形成した逆導電型の第2の半導体層と、前記第2の半導体層の上に形成した逆導電型の第3の半導体層と、前記第3の半導体層の上に形成した一導電型のチャンネル領域と、前記チャンネル領域の表面に形成した逆導電型のソース領域とを設け、前記チャンネル領域を貫通する六角形のトレンチにより、蜂の巣状に連続する前記半導体層を設け、前記半導体層の側壁の結晶面を互いに等価面とし、前記半導体層の側壁に絶縁膜を形成し、前記トレンチ内に導電材料からなるゲート電極を形成し、前記ゲート電極と前記絶縁膜、及び前記半導体層の側壁に設けたチャンネル領域とで絶縁ゲート型半導体素子を構成したことを特徴とする半導体装置。

【請求項21】 前記半導体層の一主面の結晶面が(111)面若しくはその近傍の面であることを特徴とする

請求項14、15、16、17、18、19、20のいずれかに記載の半導体装置。

【請求項22】 前記側壁の結晶面が(110)面若しくはその近傍の面であることを特徴とする請求項14、15、16、17、18、19、20、21のいずれかに記載の半導体装置。

【請求項23】 前記絶縁膜が、少なくともシリコン酸化膜を含む膜であることを特徴とする請求項16、17、18、19、20のいずれかに記載の半導体装置。

10 【請求項24】 前記半導体層の6つ側壁に形成された絶縁膜の膜厚が、実質的に均一であることを特徴とする請求項16、17、18、19、20、23のいずれかに記載の半導体装置。

【請求項25】 前記半導体層の6つ側壁に形成された絶縁ゲート型半導体素子の、各側壁における各々のしきい値が実質的に均等であることを特徴とする請求項16、17、18、19、20のいずれかに記載の半導体装置。

【発明の詳細な説明】

20 【0001】

【発明の属する技術分野】本発明は半導体装置に関し、特にトレンチ構造を有する絶縁ゲート型の半導体装置に関する。

【0002】

30 【従来の技術】最近の縦型MOSFETにおいては、構造的に低オン抵抗特性が得やすいことから、トレンチ溝内にゲート電極を埋め込んだ構造のいわゆるトレンチ型が注目されている。このようなトレンチ型構造を有する縦型MOSFETは、例えば特開平4-146674号公報、特開平5-335582号公報などにその構造及び製造工程の概略が開示されている。

40 【0003】このような縦型MOSFETの構造の一例を、図13を参照して説明する。表面にP型チャンネル領域12を有し、その下部にN型ドレイン層11a、N+型ドレイン層11bとを有する半導体基板に、多数のトレンチ13がP型チャンネル領域12を超えてN型ドレイン層11aに達する深さに形成されている。そのトレンチ13の表面にはゲート酸化膜14が形成され、更にその内部は多結晶シリコン等からなるゲート電極15が埋設されている。そしてN+のソース領域16が設けられている。ゲート電極15上には絶縁層17が配設され、セル領域の全面にアルミ等の金属電極18が設けられ、この絶縁層17がゲート電極15と金属電極18とを絶縁分離している。そして、金属電極18がソース領域16とチャンネル領域12とに電気接続するように構成されている。

50 【0004】係る構造の縦型MOSFETにおいては、ゲート電極15に所定の閾値以上の電圧を与えることにより、P型のチャンネル領域12内のトレンチに沿ってN型の反転層を形成し、N型半導体基板のドレイン層11

a、11bとN+型のソース領域16との間に電流路を形成する。これにより縦型MOSFETのソース・ドレイン間がオン状態となり、ゲート電極15の電圧を閾値以下とすることで、チャンネル領域12のN型の反転層がなくなり、縦型MOSFETのソース・ドレイン間がオフ状態となる。係る縦型MOSFETによれば、プレーナ型の縦型MOSFETに特有の接合型FET効果がないことから、そのオン抵抗を小さくすることができるという利点が生じる。

【0005】ところで、半導体業界では半導体装置の製造に図14に示したような面方位(100)の半導体ウェハ19が多用されている。面方位は、面が座標軸と交わった座標値の逆数で定義するので、面方位(100)とは、x軸=(100)軸と「1」で交わりy、z軸とは無限大で交わる、即ち交わらない結晶面を意味する。従って、このシリコンウェハ19は、表面に結晶面(100)が露出し、(100)面に多数の半導体チップ20を形成するものである。通常、OF(オリエンテーションフラット)の結晶方位は<100>方向である。半導体チップ20は各々が矩形状を持ち、スクライブラインとなる領域を挟んで等間隔で配置される。また、前記スクライブラインがOFと平行となるように、多数の半導体チップ20が配置される(図面参照)。

【0006】図15は、トレンチ型MOSFETを上記(100)ウェハ19の半導体チップ20に製造したときの状態を、拡大して示す斜視図である。

【0007】チャンネル領域12は略正方形の形状を有し、該正方形のチャンネル領域12を縦横に一定間隔で多数個並べている。各チャンネル領域12の周囲は一定幅のトレンチ13が取り囲む。すなわちトレンチ13は格子状となる。各チャンネル領域12において、ソース領域16はチャンネル領域12の周辺部分を環状に取り囲む。また、ソース領域16はトレンチ13の側壁に露出する。尚、1つのチャンネル領域12の形状で定義される領域を「単位セル」と称する。「単位セルのパターン形状」とは、トレンチ13の側壁が形成する形状を意味する。この様に、(100)ウェハでOF面を(100)とし、且つ単位セルの形状を矩形とした場合、チャンネル領域12を囲む4つの側壁は、全てが結晶面(100)となる。また、トレンチ13の底面も結晶面(100)となる。11は半導体基板である。

【0008】

【発明が解決しようとする課題】第1の目的

縦型MOSFETのオン抵抗 $R_{ds(on)}$ は、単位面積あたりのセルの個数に反比例する。従って、単位面積あたりに収納できるセルの個数を増大することがオン抵抗 $R_{ds(on)}$ を減じる上で重要な課題である。しかしながら、ホトエッチング工程の加工精度によって自ずと限界があるという欠点があった。従って、本発明の第1の目的は、トレンチを有する半導体装置において、単

位面積あたりに収納できる単位セルの個数を飛躍的に増大させることにある。

【0009】上記の第1の目的を達成するため、本願発明者は図16(A)に示すようなパターン配列を検討するに至った。これは、単位セルのパターン形状21を六角形(好ましくは正六角形)とし、該パターン21をセル間隔aで配置したものである。セル間隔aは六角形の点中心から点中心までの距離であり、点中心から点中心までを結ぶラインは正三角形を構成する。

【0010】正六角形のパターン配列は、図16(B)に示した従来のパターン配列に比べて高密度のセル配置を可能にする。従来のパターン配列は、単位セルのパターン形状21を正方形とし、セル間隔(セルピッチ)aで配置したパターンである。点中心から点中心までを結ぶラインは正方形を構成する。尚、ゲート長GWはパターン21の周辺長(各辺の長さの和)に等しい。セルピッチaを同じにして単位セル(パターン21)1個当たりの面積を単純に比較すると、正六角形は正方形に対して約0.86倍の面積となる。その結果、セル間隔aを同じにした場合に、単位面積当たりのセル数を約1.16倍に増大できる。

【0011】第2の目的

しかしながら、六角形のドレン13を面方位(100)の半導体ウェハ19に形成すると、結晶学的な新たな問題点が生じる。即ち、シリコン単結晶が結晶学的に立方格子を構成しているので、トレンチ13の側壁の結晶面が(100)面に合致しなくなる。加えて、図16(A)に示したパターン21の各辺21a~21fに位置するトレンチ13の側壁の結晶面が、不均一となるのである。

【0012】シリコン表面の電気的・電子的特性はその結晶方位に著しく依存しているので、トレンチ13の側壁の結晶面が互いに不均一であることは、MOSFET素子の電気的特性が各側壁によって不均一になることを意味する。その為、ドレイン電流が流れやすい側壁と流れにくい側壁とが生じることになる。

【0013】更に、トレンチ溝13の側壁に熱酸化によってゲート酸化膜14を形成した場合は、結晶方位によって酸化膜の成長レートに差があるので、ゲート酸化膜14の膜厚も不均一になるという不具合が生じる。その結果、MOSFETのしきい値 V_t が各側壁において差が生じ、図9に示すようにゲート電圧 V_g ドレイン電流 I_d 特性が悪化する他、スイッチングタイムが増大するという欠点、電流集中による破壊が発生しやすくなるという欠点があった。

【0014】従って、本発明の第2の目的は、六角形のトレンチ13を形成した絶縁ゲート型半導体装置において、トレンチ13側壁における結晶学的な不均一を解消することにある。

【0015】

【課題を解決するための手段】本発明は上述した従来の欠点に鑑みなされたもので、半導体基板にトレンチにてパターンを構成した半導体装置に於いて、該パターンを六角形にしたものである。

【0016】更に、面方位(111)の半導体基板を出発点として、トレンチの側壁の電気的特性が互いに等しくなるように、パターンを構成したものである。

【0017】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照して説明する。

【0018】本発明の半導体装置は、トレンチによって略六角形のパターンを形成したことを第1の骨子とする。また、面方位が(111)の半導体ウェハを用いることを第2の骨子とする。先ずは結晶方位と六角形のパターンの例について説明する。

【0019】第1のパターン：図1は、トレンチによって形成した六角形のパターン30の、第1の例を示す、(A)平面図、(B)斜視図である。

【0020】シリコン半導体基板51の表面に、多数の同一形状、同一寸法のパターン30が縦横に配置される。パターン30は、角度 θ が各々120度プラスマイナス10度の六角形であり、好ましくは θ が120度の正六角形であることが望ましい。複数のパターン30は、パターン30の中心から中心までの距離aが互いに一定となるように配置される。また、パターン30が正六角形である場合、中心と中心を結ぶラインは正三角形31を構成するように配置される。六角形の各辺は隣の六角形の辺と平行であり、その距離bは全て一定である。

【0021】基板51の表面にトレンチ32が形成される。トレンチ32は、基板51表面から垂直方向に掘り下げた溝である。トレンチ32は、一定の幅(距離b)と一定の深さを持ち、格子状あるいは蜂の巣状の形状で連続している。パターン30の6つの辺に沿って半導体層34の側壁33が形成される。半導体層の側壁33はトレンチ32の側壁でもある。パターン30は各々が島状に独立し、その各々は周囲をトレンチ32に囲まれる。従って、パターン30の形状は、半導体層34の表面とトレンチ32とが交差する箇所32aによって形成される。これらのトレンチ32は、シリコン単結晶基板51を選択的に異方性エッチングすることによって得ることが出来る。

【0022】第2のパターン：図2は、第2のパターンを説明するための(A)平面図、(B)斜視図である。第1のパターンが、パターン30の周囲をトレンチ32が囲むのに対して、第2のパターンは、パターン30の内側にトレンチ32を形成した点で相違する。トレンチ32が島状に点在し、各パターン30の周囲を一定幅、一定高さの半導体層34が取り囲む。トレンチ32の深さは一定である。同じく半導体層34の側壁33が六角

形のパターン30を構成する。パターン30の形状、配置、間隔a、b等は第1のパターンと同じであるので説明を省略する。

【0023】これらの配置により、単位面積あたりに収納できるパターン30の個数を大幅に増大できる。正方形のパターンと六角形のパターン30との比較は、図16において説明したので省略する。

【0024】従って、半導体層34の側壁33に沿ってチャンネル電流を流すような半導体デバイスを形成したときに、その素子を大電流素子にすることが出来る。

【0025】以上に説明した第1と第2のパターンにおいて、半導体層34の側壁33の結晶面を選択することによって、更に好適な半導体装置を得ることが出来る。即ち、六角形のパターン30に対応して、基板51の面方位を(111)としたものである。尚、面方位(111)とは、x軸=<100>軸と1で交わり、y軸=<010>軸と1で交わり、同じくz軸=<001>軸と1で交わる結晶面を意味する。

【0026】図3は、シリコン単結晶の立方晶系立体模型を、(111)面に対して垂直方向から観測した平面図である。この状態では、(111)面が水平面を構成し、周囲の6つの辺35~40は紙面に対して垂直な側壁を構成し、その他は紙面に対して傾斜した面を構成する。そして、各辺35~40が正六角形を構成し、各辺35~40に露出する側壁の全てが、結晶面(110)面に対して等価面(ミラー面)であることに着目すべきである。例えば、{110}、{101}、{011}等は全て(110)面に対して等価の結晶面である。等価の結晶面は、そのシリコン表面における、電子の移動度、界面準位、シリコン酸化膜の成長レート等、の電気的特性が全て等しい。

【0027】図4は、各辺35~40に沿って六角柱を形成した時の、六角柱を示す斜視図である。六角柱の上面と下面が(111)又はその等価面となり、各辺35~40に対応する垂直な6つの側壁が、全て(110)の等価面になる。

【0028】このような結晶学的な特性を利用することにより、半導体層34の側壁33の結晶面を互いに等しい面で構成することが可能となる。例えば、図1(B)の例では、各パターン30毎に図4に示した六角柱を配置するような形態にすれば、半導体層34の各側壁33に(110)面を露出させることが可能である。図2(B)の例でも同様に各側壁33に(110)面を露出させることが可能である。

【0029】実際の半導体装置の製造においては、図5に示した、面方位(111)の半導体ウェハ41を用いる。このウェハ41は、表面に(111)面が露出したものであり、該表面に多数の半導体チップを形成するものである。オリエンテーションフラットOFは結晶方位<110>としたが、その他の方位でも良い。そして、

六角形のパターン30の各辺35~40が結晶方位<110>に対して直交するような配置で、パターン30を形成する。これにより、半導体層34の6つの側壁33を、全て(110)の結晶面(ミラー面)で構成することが可能になる。側壁33の結晶面が互いに均等であることは、シリコン中における電子の移動度、界面準位等が同じであるので、該側壁33にチャネル電流を流すような電子デバイスを形成したときに、6つの側壁33全てにおいて互いに等しいチャネル電流を流すことができる事を意味する。

【0030】尚、パターン30の各辺35~40が結晶軸<110>方向に対して必ずしも直交している必要はない。図5の符号80のように、<111>軸を中心にして左右60度の範囲で回転した場合でも、その辺35~40に沿って出現する結晶面の電気的な特性は、互いに等しくなる。

【0031】また、トレンチ32の側壁33は垂直な平坦面の他、深さ方向に傾斜しても良いし曲折しても良い。6つの側壁41が全て同じ形状に加工されていること、即ち6つの側壁33全ての結晶学的な電気的特性を同じにする事が条件である。ここで結晶学的な電気的特性とは、側壁に露出したシリコン表面における、電子の移動度、界面準位、シリコン酸化膜の成長レート等、を指す。さらに、トレンチ32の底面も平坦面であるほか、湾曲した面でも良い。

【0032】第3のパターン：図6に、第3のパターンを示した。パターン30の六角形が正六角形ではなく図面縦方向yの距離に対して図面横方向の距離xの距離を長くした六角形である形態を示している。この場合、パターン30の中心と中心とを結ぶ三角形31は2等辺三角形となり、2つの辺の距離cは等距離である。三角形の距離aは図1の距離aに等しい。パターン30の辺は、隣のパターン30の辺と平行であり、その距離bは一定である。斯かる形状に於いても、その6面全ての電気的特性を等しくする事が出来る。

【0033】以下、上述したパターンを用いた、絶縁ゲート型半導体装置について説明する。

【0034】第1の実施の形態：図7は、図1の第1のパターンを利用した、パワーMOSFET素子を示す(A)平面図、(B)断面図である。断面構造では従来のものと基本的な変化はない。基本的なパターン配列は図1に示したものをを用いている。

【0035】即ち、N型ドレイン層51a、N+型ドレイン層51bとを有するシリコン半導体基板51の一主面側に、P型チャネル領域52と、トレンチ32がP型チャネル領域52を超えてN型ドレイン層51aに達する深さに形成されている。そのトレンチ32の表面には熱酸化によりゲート酸化膜54が形成され、更にその内部は多結晶シリコン等からなるゲート電極55が埋設されている。そして、トレンチ32によって区画された半

導体層の表面に、N+型のソース領域56が設けられている。ソース領域56はチャネル領域52の周囲端部の内側を一定の幅で取り囲む。ソース領域56で囲まれたチャネル領域52の表面にはP+型のコンタクト領域57が形成される。

【0036】ゲート電極55の上にはCVD法等による絶縁層58が形成される。トレンチ32の33即ちチャネル領域52の外周(ソース領域56外周に等しい)が単位セルを定義し、単位セルを多数配置した領域をセル領域と称する。このとき、単位セルは図1に示したパターン30の形状と配置に等しい。即ち、各単位セルは平面視で六角形の形状を持ち、その周囲をトレンチ32が取り囲む。トレンチ32は一定の幅、一定の深さを持ち、連続する。また、複数の単位セルはその中心から中心までのセルピッチが均等となるように配列されている。これらのトレンチ32とパターン30は、全体として「蜂の巣」の様なハニカム形状に配置される。

【0037】そして、セル領域の全面にアルミ等の金属電極59が設けられ、この絶縁層58がゲート電極55と金属電極59とを絶縁分離している。そして、金属電極59がソース領域56に電気接続すると同時に、コンタクト領域57を介してチャネル領域52に電気接続するように構成されている。トレンチ32内部に埋設されたゲート電極55は、トレンチ32の溝に沿って連続し、図示せぬ箇所外部からゲート電位を印加可能な電極パッドに接続される。N+型ドレイン層51bの裏面側にはドレイン電極(図示せず)が形成される。また、金属電極59は、絶縁膜58に形成されたコンタクト孔60を介してソース領域56とコンタクト領域57の両方に接触している。この様に、各単位セルを金属電極59が並列接続することによって、全体として電力用の素子を構成している。

【0038】このトレンチ型MOSFETは、ゲート電極55に電界を加えることにより、P型のチャネル領域52内のトレンチ32に沿ってN型の反転層を形成し、N型半導体基板51のドレイン層51a、51bとN+型のソース領域56との間に電流路を形成する。この電流路は6つの面全てに形成される。

【0039】斯様に六角形のセルを配置したことにより、単位面積あたりのセル密度を大幅に向上できる。これに伴ってゲート幅GWの総合的な長さも大幅に増大するので、単位面積あたりの電流容量を増大できる。具体的には、従来と同じチップサイズ(例えば1.0mm×1.0mm)に、数万個~数十万個の単位セルを集積化することが可能になった。

【0040】加えて、側壁33の結晶面を互いに等価となるように選択する(例えば、(110)面もしくはその近傍の面)ことにより、チャネル領域32における電子の移動度を均一に出来る。これは、6つの結晶面全てにおいて、チャネル領域32に流れる電流の値を均等に

出来ることを意味する。よって、高出力で且つオン抵抗 $R_{ds(on)}$ の小さいMOSFET装置を得ることが出来る。

【0041】更に、単位面積当たりに収納できる単位セルの個数を増大することによって、単位セル毎に配置するコンタクト孔60の個数を増大できる。従って、金属電極59とソース領域56とのコンタクト面積を増大でき、その接触抵抗を減じることが出来る。これはオン抵抗 $R_{ds(on)}$ を更に低減する効果を生む。

【0042】この様な装置は、例えば以下の製造方法によって製造することが出来る。

【0043】第1工程：図8（A）参照

まず、ドレイン層となるN層51aを有するシリコン半導体基板51を準備する。N層51aのセル領域部分の全面に、チャンネル領域52となるP型の拡散層を例えばボロンのイオン注入により形成する。

【0044】第2工程：図8（B）参照

次にチャンネル領域52を貫通してドレイン層51aに達する深さまで半導体基板51をエッチングすることにより、トレンチ32を形成する。これは前記セル領域の全面に形成された酸化膜にホトリソグラフィの工程により開口を設け、その開口から異方性のガスエッチングをすることでトレンチ32を形成する。

【0045】そして、ダミー酸化によりトレンチ32内部に酸化膜層を形成し、その酸化膜層を除去することによりトレンチ32形成に伴うシリコン層表面の欠陥層を除去する。その後ゲート酸化を行うことで、トレンチ32の内部にゲート酸化膜54を形成する。

【0046】第3工程：図8（C）参照

次に、多結晶シリコン膜をCVDにより全面に被着することで、トレンチ32の内部を多結晶シリコンで埋め込む。そして、多結晶シリコン膜にリン又はボロンをドーブし、多結晶シリコン膜を導電層化する。次に例えば等方性のガスエッチングにより、多結晶シリコンをエッチバックする。そしてチャンネル領域52上の酸化膜54表面が露出した段階で多結晶シリコンのエッチングを停止することで、トレンチ32内に埋め込まれたゲート電極55を形成する。

【0047】第4工程：図8（D）参照

次に、P+型のコンタクト領域57を形成する。これはコンタクト領域57となる部分にホトリソグラフィの工程によりレジストマスクの開口を形成し、例えばボロンをイオン注入することにより形成する。次に再びホトリソグラフィの工程によりソース領域となる部分にレジストマスクの開口を形成し、例えば砒素（As）をイオン注入することでN+型のソース領域56を形成する。このソース領域56は、トレンチ32に埋め込まれたゲート電極55の上端部をマスクとしてイオン注入により形成されるので、ゲート電極に対してセルフアラインで拡散層が形成される。これにより、閾値電圧等の特性のパラ

メータを少なくできる。次にNSG/BPSG等の絶縁膜を基板51全面に被着し、ホトリソグラフィの工程により基板51表面のソース領域及びコンタクト領域を露出するようにその絶縁膜をエッチングすることで開口を設け、絶縁層58を形成する。

【0048】そして、アルミ等の金属材料をスパッタリングすることで、基板51の全面に金属材料を被着し、ホトエッチング、アロイすることで、セル領域部分の全面にソース電極59を形成する。更にチップ全面にパッシベーション膜を被着し、又、半導体基板51の裏面に裏張り電極（ドレイン電極）を形成することで、ウェハ段階の縦型MOSFETが完成（図7（B）参照）する。尚、チャンネル領域52とソース領域56を形成した後にトレンチ32を形成する順番でもかまわない。

【0049】以上の製造方法に於いて、ゲート酸化膜54の形成はシリコンの熱酸化による。このとき、トレンチ32の側壁33を全て（110）結晶面あるいはその近傍の結晶面で構成した場合、ゲート酸化膜54の成長レートが6つの面全てに於いて等しくなり、6面全てに均一な膜厚t1のゲート酸化膜54を形成できる。このことは、6つの面でチャンネル領域52におけるしきい値 V_t を均等に出来る事を意味する。従って、電子の移動度が均一であること及び閾値が均等であることによつて、各側壁33間で電流値に差が生じることがない。高出力を得ることが出来る他、図9に示したように、MOSFET素子のしきい値 V_t の立ち上がり特性を改善できるという効果を生じる。

【0050】更に、トレンチ32の底面を（111）面で構成した場合、以下の如き効果を生む。これは、ゲート酸化膜54を形成するとき、熱酸化膜の成長レートが結晶面に大きく依存する事に起因する。

【0051】例えば1000℃、ドライ酸化の条件で各結晶面の熱酸化膜の成長レートを比較すると、以下のようになる。

$$(111) > (110) > (311) > (511) > (100)$$

即ち、（110）面に比較して、（111）面の成長レートが少し速いのである。従って、ゲート酸化膜の形成条件として900℃以上、好ましくは1000℃以上の熱処理を行うことで、トレンチ32における側壁33の酸化膜厚t1（図7（B）参照）よりも、トレンチ32底面における酸化膜厚t2（図7（B））を約10%程度厚く形成できる。例えば、側壁33の酸化膜厚t2の膜厚を500Åとした場合に、底面の酸化膜厚t2を550Å程度に形成できる。雰囲気は酸化性、非酸化性を問わない。

【0052】この様に、トレンチ32底面の酸化膜厚t2、即ちゲート電極55とN層51aとが対向している箇所のゲート酸化膜54を厚くすることにより、ゲートとドレイン間の容量 C_{gd} を低減できる他、この膜厚t

2によって決定されるゲート・ドレイン間の耐圧 V_{gd} を大きくできる。一方、酸化膜厚 t_1 即ちゲート電極55とチャネル領域52とが対向している箇所のゲート酸化膜54を薄くすることは、MOSFET素子の電流駆動能力を増大する事を意味する。従って、これらの相反する要求を同時に満足することが出来る。

【0053】加えて、斯様な高温処理を加えることにより、トレンチ32の肩の部分(図8B符号100)、即ちソース領域56と接する箇所の形状を丸みの帯びた形状に加工できる。よって、酸化膜54、58やゲート電極55及び酸化膜58の被覆性が向上する。尚、シリコン酸化膜に代えて、シリコン窒化膜 SiN を用いた場合でも、同様に膜厚の差を得ることが出来る。

【0054】第2の実施の形態: 図10は、図2の第2のパターン配置を利用した、パワーMOSFET素子を示す(A)平面図、(B)断面図である。六角形のパターン30の内側にゲート電極55を形成した例である。製造方法は図8と同様である。

【0055】即ち、表面にP型チャネル領域52を有し、その下部にN型ドレイン層51a、N+型ドレイン層51bとを有するシリコン半導体基板51に、多数のトレンチ32がP型チャネル領域52を超えてN型ドレイン層51aに達する深さに形成されている。そのトレンチ32の表面には熱酸化によりゲート酸化膜54が形成され、更にその内部は多結晶シリコン等からなるゲート電極55が埋設されている。そして、トレンチ32によって区画された半導体層の表面にN+型のソース領域56が設けられている。ソース領域56はチャネル領域52の周囲近傍でゲート電極55を取り囲む。ソース領域56で囲まれたチャネル領域52の表面にはP+型の

【0056】ゲート電極55の上にはCVD法等による絶縁層58が形成される。各ゲート電極55周辺の側壁33(ソース領域56内周に等しい)が単位セルを定義し、単位セルを多数配置した領域をセル領域と称する。単位セルはパターン32の形状と配置に等しい。また、チャネル領域52の側壁33は(110)面で代表されるように、互いに等価な結晶面で構成されている。チャネル領域52は蜂の巣状に連続する。

【0057】絶縁層58にはP+コンタクト領域57とN+ソース領域56とを露出するコンタクトホール60が設けられる。セル領域の表面にアルミ等の金属電極59が設けられ、コンタクトホール60を介してソース領域56とコンタクト領域57に接続される。

【0058】ゲート電極55はトレンチ32の内部に点在し、図示せぬアルミ電極などによって並列接続される。各ゲート電極55はチャネル領域52で取り囲まれ、チャネル領域52は連続する。チャネル領域52の表面にはゲート電極55を各々取り囲むソース領域56が形成される。尚、コンタクトホール60の箇所に部分

的にP+コンタクト領域57が露出するような構成でも良い。

【0059】第3の実施の形態: トレンチ32内にゲート電極を埋設する本発明は、縦型MOSFETに限定されるものではない。例えばIGBT(Insulate Gate Bipolar Transistor)にも同様に適用可能である。

【0060】図11は、本発明をIGBT装置に適用した例を示している。パターン32は図1、図2どちらの例でも適用が可能である。P型基板70の上にN+層71とN型層72を形成し、N型層72表面にP型チャネル領域73を形成し、チャネル領域73の表面からN型層72に達するトレンチ74を形成し、トレンチ74内部にゲート酸化膜75とゲート電極76を形成し、チャネル領域73表面に環状のN+ソース領域77を形成し、更にチャネル領域73表面にP+コンタクト領域78を形成し、ソース領域とP+コンタクト領域にアルミなどの金属電極79が電気接触している。

【0061】この素子は、ゲート電極76に印加した電圧によってトレンチ溝74内壁のチャネル領域73にチャネルを形成し、ソース領域77からN型層72へチャネル電流を流すと共に、該チャネル電流をP型チャネル領域73、N/N+層71、72、及びP+基板70とで形成するPNPトランジスタのベース電流として供給するように構成したものである。該IGBTは、前記PNPトランジスタで伝導度変調が生じるので、MOSFET素子よりもオン抵抗を減じることが出来る。結晶面の関係は第1、第2の実施の形態に等しい。

【0062】第4の実施の形態: 図12は、トレンチ32の側壁33の形状が湾曲している場合の、トレンチ型MOSFET装置を示している。トレンチ32とパターンは図1(A)のパターン配列を用いている。トレンチ32側部の側壁33がV字型に湾曲している。この場合、側壁33には(110)面が露出するものではないが、六角側壁全てが、互いに均等な結晶面となる。他の箇所は図7の構成と同一であるので説明を省略する。

【0063】尚、上述した各実施の形態において、パターン30の6つの角は多少丸みを帯びても良い。更に、ウェハ41(図5)表面の面方位が正確に(111)面と直行している他、 $\langle 111 \rangle$ 結晶軸に対して結晶面が数度、好ましくは5度以内の角度で傾斜していても良い。骨子は、6面全ての側壁33の電気特性を均等にすることである。

【0064】更に、本発明の趣旨を逸脱することなく、このほかにも例えば静電誘導サイリスタ(SIT)、ゲートターンオフサイリスタ(GTO)、及びMOS制御サイリスタ(MCT)等の、ゲート電位によってチャネル電流を制御する半導体素子等、種々の変形した実施の形態が考えられることは勿論のことである。また、第1~第3のパターンと、第1~第4の実施の形態とのいずれを組み合わせてもよいことは言うまでもない

【0065】

【発明の効果】以上に説明したように本発明は、トレンチ32によって区画される半導体層の側壁33によって略六角形のパターン30を形成することにより、単位面積当たりに収納できる単位セルの個数を大幅に増大できる。これにより、トレンチ型の絶縁ゲート型半導体装置の大電流量化とオン抵抗の低減化を図ることが出来る。

【0066】加えて、単位セル数の個数を増大することによって、同時に金属電極59とソース領域56との接触面積を増大できるので、両者の接触抵抗を減じ、オン抵抗の低減化に寄与できる。

【0067】更に、面方位(111)基板を用いることにより、トレンチ32の各側壁33の電氣的結晶学的特性を均等にすることができる。最も代表的な例が、各側壁33に(110)面が露出する形態である。これにより、各側壁33に流す電流を均等にできるので、局所的な電流集中による耐圧劣化を防止できる。

【0068】更に、面方位の選択と熱処理によっては、トレンチ32底面のゲート酸化膜厚 t_2 が大になるように形成できるので、ゲート酸化膜厚 t_1 を減じてMOSFET素子の駆動能力を更に増大できる。

【図面の簡単な説明】

【図1】第1のパターンを説明するための(A)平面図、(B)断面図である。

【図2】第2のパターンを説明するための(A)平面図、(B)断面図である。

【図3】本発明を説明するための平面図である。

*

*【図4】本発明を説明するための斜視図である。

【図5】本発明を説明するための平面図である。

【図6】第3のパターンを説明するための平面図である。

【図7】本発明の第1の実施の形態を説明するための(A)平面図、(B)断面図である。

【図8】製造方法を説明するための断面図である。

【図9】本発明を説明するための特性図である。

【図10】本発明の第2の実施の形態を説明するための(A)平面図、(B)断面図である。

【図11】本発明の第3の実施の形態を説明するための断面図である。

【図12】本発明の第4の実施の形態を説明するための断面図である。

【図13】トレンチ型MOSFET装置を示す断面図である。

【図14】従来の(100)ウェハを示す平面図である。

【図15】従来例を説明するための斜視図である。

【図16】単位セルのパターンを示す図である。

【符号の説明】

30 パターン

32 トレンチ

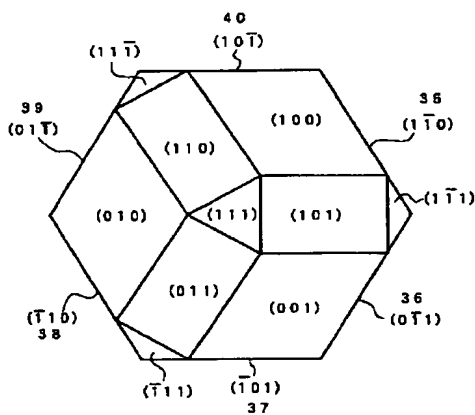
33 側壁

54 ゲート酸化膜

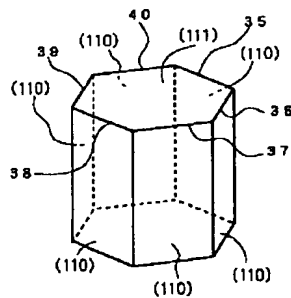
55 ゲート電極

56 ソース領域

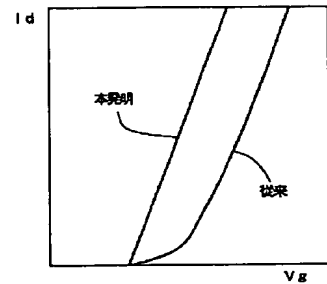
【図3】



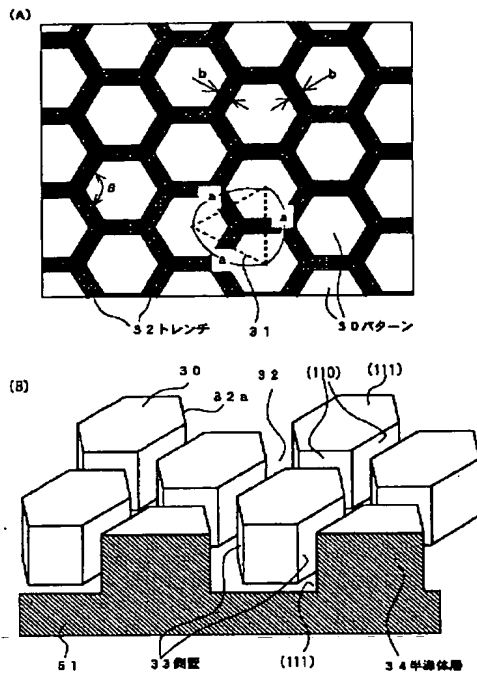
【図4】



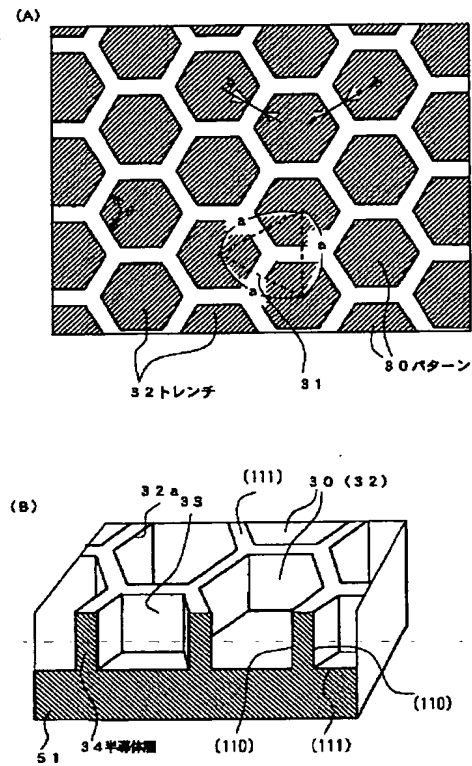
【図9】



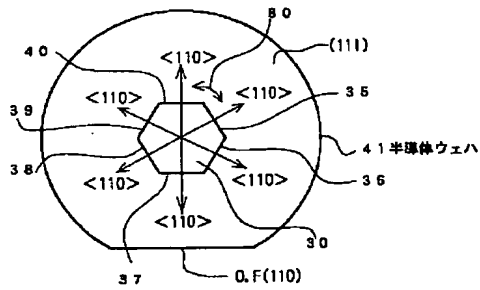
【図1】



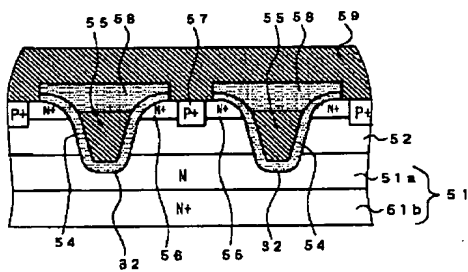
【図2】



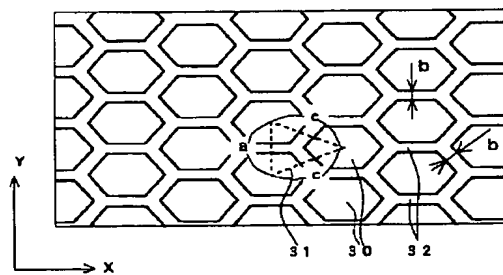
【図5】



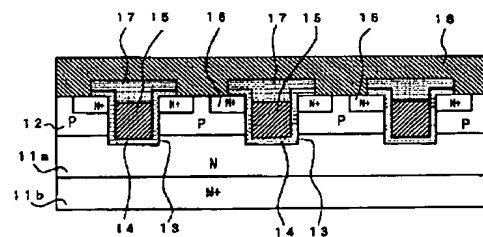
【図12】



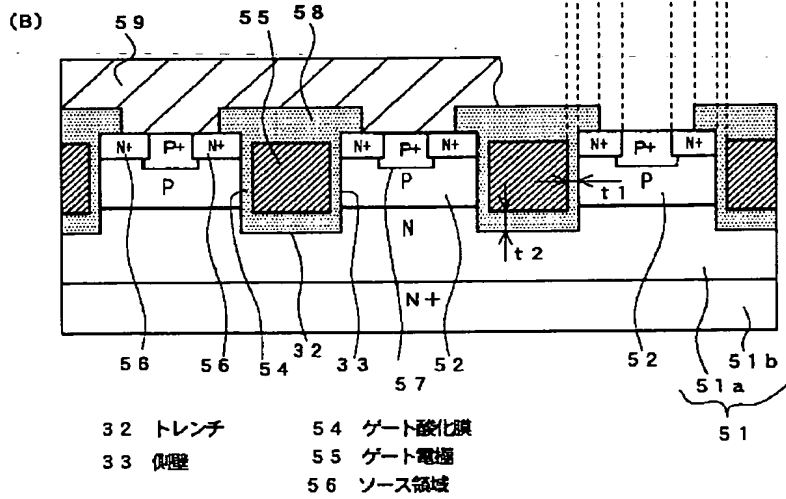
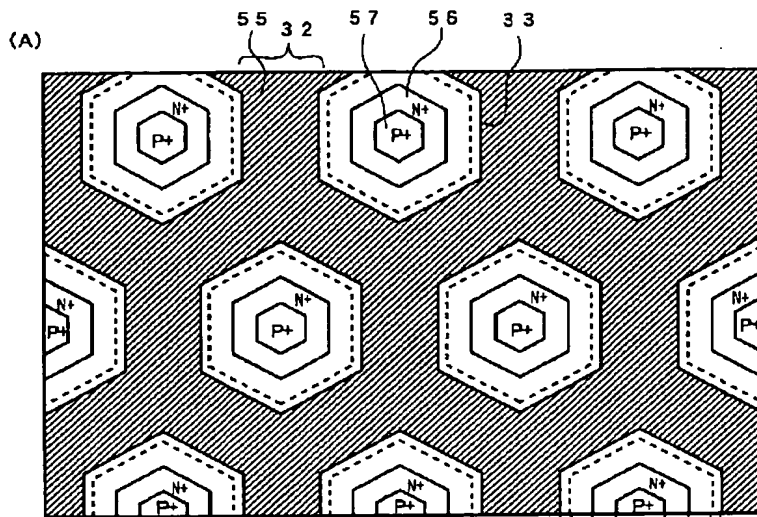
【図6】



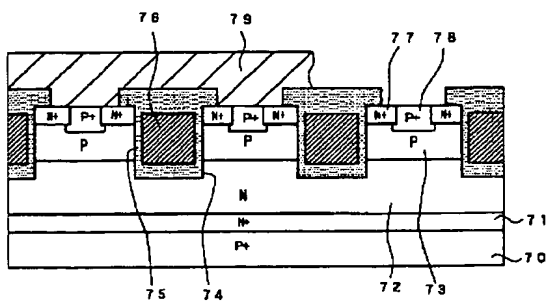
【図13】



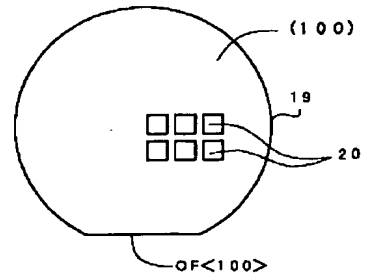
【図7】



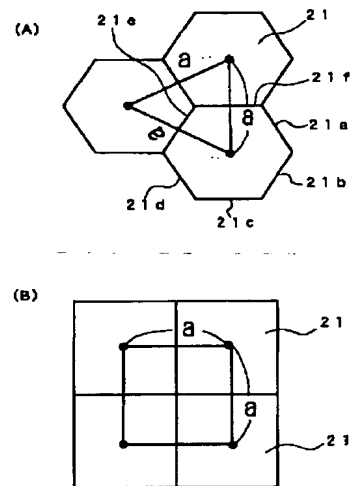
【図11】



【図14】



【図16】



【図15】

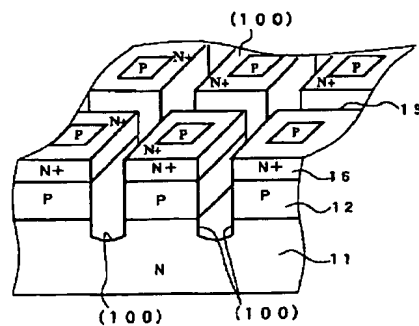
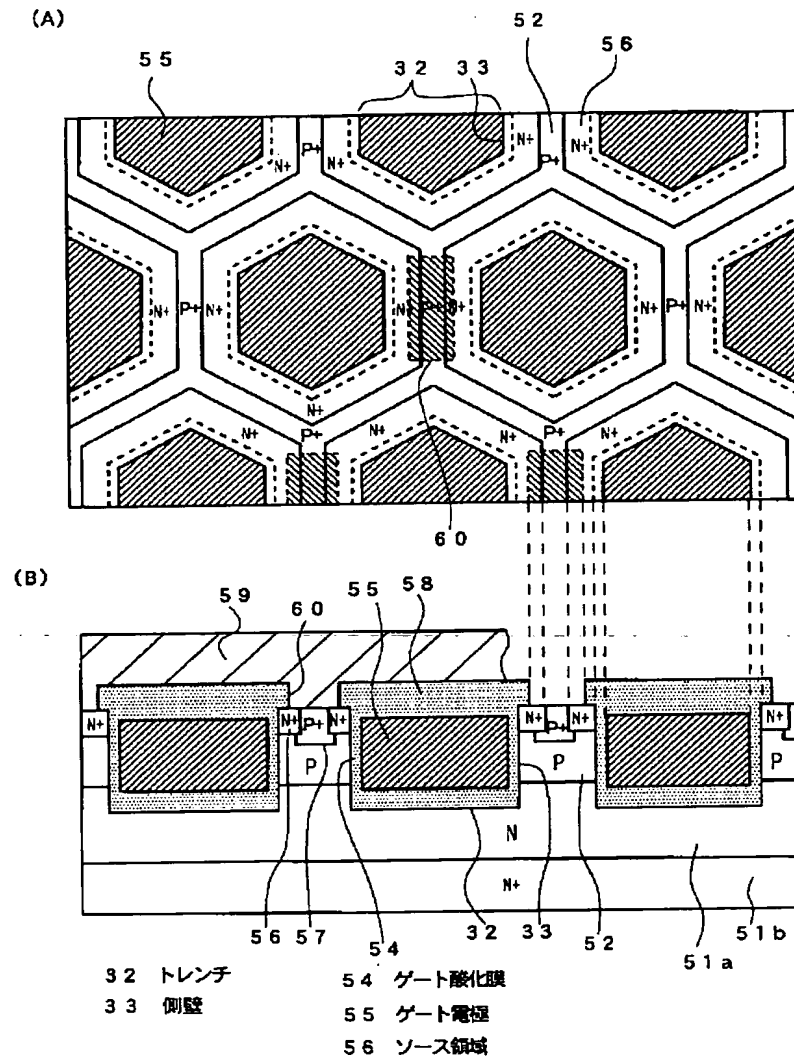


Figure 1 consists of four cross-sectional views of a semiconductor device, labeled (A) through (D).

- (A)** Shows a substrate with three layers: a top P-type layer, a middle N-type layer, and a bottom N+ layer. A gate stack 52 is formed on the P-type layer. A region 51 is defined by a mask, with sub-regions 51a and 51b.
- (B)** Shows the device after a first etching step. The P-type layer is patterned into three rectangular regions. The N-type layer is exposed in the spaces between these regions. The gate stack 52 is still present. The regions 51a and 51b are still defined.
- (C)** Shows the device after a second etching step. The N-type layer is patterned into three rectangular regions. The P-type layer is exposed in the spaces between these regions. The gate stack 52 is still present. The regions 51a and 51b are still defined.
- (D)** Shows the device after a third etching step. The P-type layer is patterned into three rectangular regions. The N-type layer is exposed in the spaces between these regions. The gate stack 52 is still present. The regions 51a and 51b are still defined.

【図10】



フロントページの続き

(72)発明者 桑子 栄一郎
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

Fターム(参考) 5F102 FA02 FB01 GB04 GC08 GD10
GJ03 GL03 GR01